


Ref. 3

MULTI-PROCESSOR SYSTEM AND ADDRESS SOLUTION METHOD THEREFOR**Publication number:** JP2000003341**Publication date:** 2000-01-07**Inventor:** AONO FUMIO**Applicant:** NIPPON ELECTRIC CO**Classification:**- international: **G06F9/46; G06F9/46;** (IPC1-7): G06F15/16; G06F12/02; G06F12/06; G06F12/14

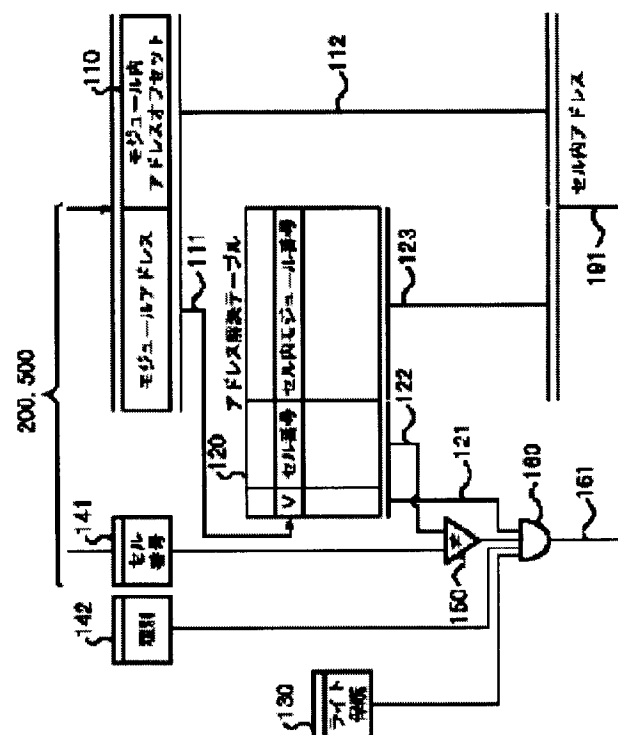
- european: G06F9/46R2

Application number: JP19980166723 19980615**Priority number(s):** JP19980166723 19980615**Also published as:**✓  EP0965916 (A);
US6351798 (B)

Report a data error he

Abstract of JP2000003341

PROBLEM TO BE SOLVED: To secure flexible operation of a multi-processor system and independence at the time of a fault by enabling the memory structure and system structure to be changed in a distributed common memory type multi-processor system. **SOLUTION:** An address solution table 120 is indexed by a super or dinare part of an address given by a processor and outputs which module of which cell the address concerned corresponds to. A write protection flag 130 specifies whether write is permitted with regard to an access from other cells or not. When an access occurs to its own cell under a state in which the write from the other cell is suppressed, an access exception signal 161 is outputted from an AND circuit 160.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-3341

(P2000-3341A)

(43)公開日 平成12年1月7日(2000.1.7)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト*(参考)
G 0 6 F 15/16	3 7 0	G 0 6 F 15/16	3 7 0 M 5 B 0 1 7
12/02	5 7 0	12/02	5 7 0 K 5 B 0 4 5
12/06	5 3 0	12/06	5 3 0 D 5 B 0 6 0
12/14	3 1 0	12/14	3 1 0 M

審査請求 有 請求項の数11 O L (全 9 頁)

(21)出願番号 特願平10-166723

(22)出願日 平成10年6月15日(1998.6.15)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 青野 文雄

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100082935

弁理士 京本 直樹 (外2名)

Fターム(参考) 5B017 AA02 BA01 BA04 BB03

5B045 DD01 DD07 JJ33

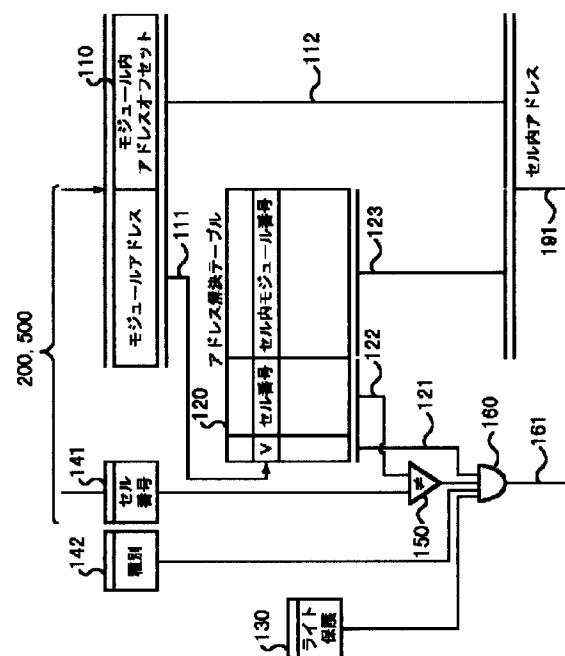
5B060 AA08 AA13 KA02 KA06

(54)【発明の名称】 マルチプロセッサシステム及びそのアドレス解決方法

(57)【要約】

【課題】 分散共有メモリ型のマルチプロセッサシステムにおいて、メモリ構成及びシステム構成を変更できるようにして、システムの柔軟な運用及び障害時の独立性を担保する。

【解決手段】 アドレス解決テーブル120は、プロセッサから与えられたアドレスの上位部分により索引され、当該アドレスがいずれのセルのいずれのメモリモジュールに該当するかを出力する。ライト保護フラグ130は、他セルからのアクセスについてライトを許容するか否かを指示する。他セルからのライトが抑止されている状態で自セルにアクセスが発生するとアクセス例外信号161が論理積回路160から出力される。



【特許請求の範囲】

【請求項1】 少なくとも一つのプロセッサ及びメモリを含むセルを複数有するマルチプロセッサシステムにおいて、指定されたアドレスがいずれのセルに含まれるメモリを指すものであるかを判別し、異なるセルに対するライトであれば抑止することを特徴とするマルチプロセッサシステム。

【請求項2】 少なくとも一つのプロセッサと、少なくとも一つのメモリモジュールと、前記プロセッサと前記メモリモジュールとの間を接続するセル制御回路とを含むセルを複数有するマルチプロセッサシステムにおいて、前記セル制御回路は、複数のエントリから成り、各エントリにおいて対応するアドレスに係るメモリモジュールの存在するセルの番号を保持するアドレス解決テーブルと、アクセスの要求されたアドレスによって前記アドレス解決テーブルを検索してそのアドレスに係るメモリモジュールの存在するセルが他のセルであれば当該他のセルにアクセスする手段と、他のセルからのライトアクセスを許容するか否かを指示するライト保護フラグと、他のセルからのアクセスがライトアクセスである場合において、前記ライト保護フラグが他セルからのライトアクセスを許容しない旨を指示していればアクセス例外を検出する手段とを含むことを特徴とするマルチプロセッサシステム。

【請求項3】 前記アドレス解決テーブルの各エントリは、対応するアドレスに係るメモリモジュールのセル内における識別番号をさらに保持し、前記セルに含まれるメモリモジュールは前記セル内識別番号により識別されることを特徴とする請求項2記載のマルチプロセッサシステム。

【請求項4】 前記アドレス解決テーブルの少なくとも一つのエントリは、対応するアドレスに係るメモリモジュールの存在するセルの番号として自分以外のセルの番号を保持することを特徴とする請求項2記載のマルチプロセッサシステム。

【請求項5】 前記ライト保護フラグは、他のセルからのライトアクセスを許容しない旨を指示するように設定されたことを特徴とする請求項4記載のマルチプロセッサシステム。

【請求項6】 前記ライト保護フラグの設定に拘わらず、特定のセルからのライトアクセスは許容することを特徴とする請求項5記載のマルチプロセッサシステム。

【請求項7】 少なくともいづれか2つのセルの前記アドレス解決テーブルにおいて少なくとも1つの対応するエントリに同一のセルの番号を設定したことを特徴とする請求項2記載のマルチプロセッサシステム。

【請求項8】 全てのセルにおける前記アドレス解決テ

ーブルにおいて全ての対応するエントリに同一のセルの番号を設定したことを特徴とする請求項2記載のマルチプロセッサシステム。

【請求項9】 少なくとも一つのプロセッサと、少なくとも一つのメモリモジュールと、前記プロセッサと前記メモリモジュールとの間を接続するセル制御回路とを含むセルを複数有するマルチプロセッサシステムにおける前記セル制御回路であって、

複数のエントリから成り、各エントリにおいて対応するアドレスに係るメモリモジュールの存在するセルの番号を保持するアドレス解決テーブルと、アクセスの要求されたアドレスによって前記アドレス解決テーブルを検索してそのアドレスに係るメモリモジュールの存在するセルが他のセルであれば当該他のセルにアクセスする手段と、

他のセルからのライトアクセスを許容するか否かを指示するライト保護フラグと、

他のセルからのアクセスがライトアクセスである場合において、前記ライト保護フラグが他セルからのライトアクセスを許容しない旨を指示していればアクセス例外を検出する手段とを含むことを特徴とするセル制御回路。

【請求項10】 前記アドレス解決テーブルの各エントリは、対応するアドレスに係るメモリモジュールのセル内における識別番号をさらに保持し、前記セルに含まれるメモリモジュールは前記セル内識別番号により識別されることを特徴とする請求項9記載のセル制御回路。

【請求項11】 少なくとも一つのプロセッサ及びメモリを含むセルを複数有するマルチプロセッサシステムにおいて、前記セルの各々は各エントリにおいて対応するアドレスに係るメモリモジュールの存在するセルの番号を保持するアドレス解決テーブルを含み、

前記アドレス解決テーブルを索引するステップと、指定されたアクセスが他のセルからライトか否かを判別するステップと、

前記指定されたアクセスが他セルからのライトであると判別された場合において、他セルからのライトを許容しないように設定されていればアクセス例外を検出するステップとを含むことを特徴とするマルチプロセッサシステムにおけるアドレス解決方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マルチプロセッサシステム及びそのアドレス解決方法に関し、特に分散共有メモリ型アーキテクチャを有するマルチプロセッサシステム及びそのアドレス解決方法に関する。

【0002】

【従来の技術】メモリをプロセッサの近傍に分散配置する分散共有メモリアーキテクチャは、全てのメモリを集中配置したシステムと比較して、ローカルなメモリへの

アクセスが高速であるという特徴がある。一方、分散共有メモリ構成において異なる物理位置にあるメモリを単一のメモリ空間に編成する場合、メモリアccessがローカルなメモリかリモートのメモリかを判別し、リモートである場合には転送を行なう必要が生じる。このためには、アドレスを解決するための何らかの手段（例えば、アドレス変換テーブル）が必要となる。

【0003】また、典型的な分散共有メモリ構成のシステムでは、プロセッサ、メモリ、その他コンピュータの主要構成要素を具備する構成単位（以下、セルという。）を複数個実装し、これらセルをネットワークによって相互接続することにより、大規模システムを構成する方式が採用されることが多い。この場合、それぞれの構成単位を切り離して独立したコンピュータとして運転することが比較的容易に実現できる。このような切り離しをパーティショニングといい、この場合の切り離されたセルを特にパーティションという。このような構成を採用すれば、集中メモリ型のシステムよりも大規模システムを実現しやすいというメリットがある。

【0004】一方、多数個のプロセッサでメモリを共有する大規模な対象型マルチプロセッサ構成のコンピュータでは、ソフトウェア上の制約や資源の競合などのためにプロセッサの個数に比例して性能を上げること（スケーラビリティの向上）が困難であり、またプロセッサの数を増やすには物理的限界もある。そのため、複数のコンピュータを相互接続して大規模な処理能力を実現する手段が採用される場合がある。そのようなシステムをクラスタシステムという。クラスタシステムを構成する個々の独立したコンピュータを特にノードという。クラスタシステムを採用することの利点は、システム規模の限界の打破のみならず、可用性にすぐれるという利点も有する。すなわち、複数のコンピュータが独立して動作することにより、一箇所で発生した故障やクラッシュがシステム全体に波及しにくくなる。そのため、クラスタシステムは、高信頼度システムの実現にもしばしば用いられる。

【0005】

【発明が解決しようとする課題】しかし、上述のクラスタシステムは、同規模の単一コンピュータシステムと比較してセットアップや管理が複雑となるほか、筐体や相互接続ケーブルなどの付加コストがかかるという問題がある。このため複数の小型コンピュータを1つの筐体に入れ、必要な相互接続を筐体内で行なうほか、セットアップや試験なども済ませて出荷する、いわゆる筐体内クラスタシステム（Cluster-In-A-Box）も市場に出始めている。しかし、このような製品も含め、既存のクラスタシステムではコンピュータの相互接続にネットワークを使用するため、通信オーバーヘッドが大きく、ノード数の増加に比例した性能向上が困難な場合がある。

【0006】一方、大規模な単一コンピュータシステムは、処理内容によってはプロセッサの数を増やしても性能向上効果が得にくい場合があり、また同規模のクラスタシステムと比較して、単一の故障やトラブルがシステム全体に波及しやすいという問題がある。

【0007】本発明の目的は、同一の分散共有メモリアーキテクチャのシステムを、選択的に単一の対象型マルチプロセッサコンピュータとして、または、筐体内クラスタシステムとして運用できるようにすることで、処理内容に応じて両方式の問題点を解決し、それぞれの利点を発揮できる柔軟なコンピュータシステムを提供することにある。

【0008】

【課題を解決するための手段】上記課題を解決するために本発明のマルチプロセッサシステムは、少なくとも一つのプロセッサ及びメモリを含むセルを複数有するマルチプロセッサシステムにおいて、指定されたアドレスがいずれのセルに含まれるメモリを指すものであるかを判別し、異なるセルに対するライトであれば抑止する。

【0009】本発明の他のマルチプロセッサシステムは、少なくとも一つのプロセッサと、少なくとも一つのメモリモジュールと、前記プロセッサと前記メモリモジュールとの間を接続するセル制御回路とを含むセルを複数有するマルチプロセッサシステムであって、前記セル制御回路は、複数のエントリから成り、各エントリにおいて対応するアドレスに係るメモリモジュールの存在するセルの番号を保持するアドレス解決テーブルと、アクセスの要求されたアドレスによって前記アドレス解決テーブルを検索してそのアドレスに係るメモリモジュールの存在するセルが他のセルであれば当該他のセルにアクセスする手段と、他のセルからのライトアクセスを許容するか否かを指示するライト保護フラグと、他のセルからのアクセスがライトアクセスである場合において、前記ライト保護フラグが他セルからのライトアクセスを許容しない旨を指示していればアクセス例外を検出する手段とを含む。

【0010】本発明の他のマルチプロセッサシステムにおいて、前記アドレス解決テーブルの各エントリは、対応するアドレスに係るメモリモジュールのセル内における識別番号をさらに保持し、前記セルに含まれるメモリモジュールは前記セル内識別番号により識別される。

【0011】本発明の他のマルチプロセッサシステムにおいて、前記アドレス解決テーブルの少なくとも一つのエントリは、対応するアドレスに係るメモリモジュールの存在するセルの番号として自分以外のセルの番号を保持する。

【0012】本発明の他のマルチプロセッサシステムにおいて、前記ライト保護フラグは、他のセルからのライトアクセスを許容しない旨を指示するよう設定される。

【0013】本発明の他のマルチプロセッサシステムに

において、前記ライト保護フラグの設定に拘わらず、特定のセルからのライトアクセスは許容する。

【0014】本発明の他のマルチプロセッサシステムにおいて、少なくともいずれか2つのセルの前記アドレス解決テーブルにおいて少なくとも1つの対応するエントリに同一のセルの番号を設定される。

【0015】本発明の他のマルチプロセッサシステムにおいて、全てのセルにおける前記アドレス解決テーブルにおいて全ての対応するエントリに同一のセルの番号を設定される。

【0016】本発明の他のマルチプロセッサシステムにおけるセル制御回路は、少なくとも一つのプロセッサと、少なくとも一つのメモリモジュールと、前記プロセッサと前記メモリモジュールとの間を接続するセル制御回路とを含むセルを複数有するマルチプロセッサシステムにおける前記セル制御回路であって、複数のエントリから成り、各エントリにおいて対応するアドレスに係るメモリモジュールの存在するセルの番号を保持するアドレス解決テーブルと、アクセスの要求されたアドレスによって前記アドレス解決テーブルを検索してそのアドレスに係るメモリモジュールの存在するセルが他のセルであれば当該他のセルにアクセスする手段と、他のセルからのライトアクセスを許容するか否かを指示するライト保護フラグと、他のセルからのアクセスがライトアクセスである場合において、前記ライト保護フラグが他セルからのライトアクセスを許容しない旨を指示していればアクセス例外を検出する手段とを含む。

【0017】本発明の他のマルチプロセッサシステムにおけるセル制御回路において、前記アドレス解決テーブルの各エントリは、対応するアドレスに係るメモリモジュールのセル内における識別番号をさらに保持し、前記セルに含まれるメモリモジュールは前記セル内識別番号により識別される。

【0018】本発明のマルチプロセッサシステムにおけるアドレス解決方法は、少なくとも一つのプロセッサ及びメモリを含むセルを複数有するマルチプロセッサシステムにおいて、前記セルの各々は各エントリにおいて対応するアドレスに係るメモリモジュールの存在するセルの番号を保持するアドレス解決テーブルを含み、前記アドレス解決テーブルを索引するステップと、指定されたアクセスが他のセルからライトか否かを判別するステップと、前記指定されたアクセスが他セルからのライトであると判別された場合において、他セルからのライトを許容しないように設定されていればアクセス例外を検出するステップとを含む。

【0019】

【発明の実施の形態】次に本発明のマルチプロセッサシステムの実施の形態について図面を参照して詳細に説明する。

【0020】図1を参照すると、本発明のマルチプロセ

ッサシステムの実施の形態は、複数のセル400をネットワーク500により相互接続することにより構成される。ここで、システムは4つのセル400を有するものとし、それぞれのセル400はそれぞれ4つのプロセッサ200、メモリ300、及び、セル制御回路100を有するものと仮定する。但し、この数はシステムの要求に応じて任意に設定することができる。

【0021】メモリ300は、各セル400に分散して存在しており、プロセッサ200から見るとセル内のメモリと他セルのメモリとでは距離が異なる。すなわち、アクセス時間が異なる。このような構成は、物理的側面から分散共有メモリアーキテクチャとよばれ、また時間的側面から不均一メモリアクセスアーキテクチャと呼ばれる。一方、分散共有メモリ構成であっても、論理的には全てのメモリを集めて1つの大きな空間としてソフトウェアに提供することが可能であり、ソフト見えはメモリが全てのプロセッサから等距離の場所に集中して配置されているかのように見せることができる。すなわち、いずれのプロセッサから見てもシステムが同じように見えるように構成することができる。この意味で、本トポロジのシステムも対象型マルチプロセッシングコンピュータの一形態と言える。

【0022】このような構成をとる情報処理システムにおいては、システム全体を一つの対象型マルチプロセッサコンピュータとして使用することも可能であり、また僅かな付加機構を加えることによって複数のより小規模なコンピュータに分割して使用することも可能である。

【0023】図2を参照すると、各セル内のセル制御回路100は、アドレスレジスタ110と、アドレス解決テーブル120と、ライト保護フラグ130と、セル番号レジスタ141と、アクセス種別レジスタ142と、比較器150と、論理積回路160とを含む。

【0024】アドレス解決テーブル120は、システムの立ち上げ時に初期設定される。本アドレス解決テーブル120により、各セルに分散して存在するメモリ300はアドレスが重複しない単一のメモリ空間に構成される。プロセッサ200が要求したメモリアドレスは、アドレス解決テーブル120を索引することにより、どの物理セルへのアクセスかが判明する。アドレス解決テーブル120は、複数のエントリを有し、アドレスレジスタ110に保持されたプロセッサ200又はネットワーク500からのアドレスの中のモジュールアドレス111により索引される。各エントリは、有効ビット121、セル番号122、及び、セル内モジュール番号123を保持する。有効ビット121は、当該エントリが有効か否かを指示する。例えば、“0”であれば有効ではなく、“1”であれば有効であることを意味する。セル番号122は、当該アドレスに相当するメモリモジュールが存在するセルの番号を表示する。ここにいうセルの番号は、システム全体に物理的に付与された番号でもよ

く、また、例えば自己のセルを“0”で表す等の相対的に付与された番号でもよい。従って、「セルの番号が同一」とは、表現上の同一ではなく実質的に同一のセルを指し示すことを意味する。セル内モジュール番号123は、当該アドレスに相当するメモリモジュールがセル内のいずれのメモリ300であるかを表示する。セル内モジュール番号123とモジュール内アドレスオフセット112とを繋げたものがセル内アドレス191となる。

【0025】ライト保護フラグ130は、他のセルからのアクセスがライトであった場合にそのライトを許可するか否かを指示する。例えば、“0”のときは他のセルからのライトを許可するが、“1”のときは他のセルからのライトは許可せずにアクセス例外とする。

【0026】セル番号レジスタ141は、アクセスリクエストを発行したプロセッサ200の存在するセルのセル番号を格納するためのレジスタである。アクセス種別レジスタ142はアクセスリクエストの種別を表す。例えば、“1”の場合にライトを意味するものとする。比較器150は、セル番号レジスタ141の内容とアドレス解決テーブル120から読み出したセル番号122とを比較する。論理積回路160は、アドレス解決テーブル120の有効ビット121が有効を示し、アクセス種別がライトであり、ライト保護フラグ130がライトを許可せず、且つ、アドレス解決テーブル120から読み出したセル番号122がセル番号レジスタ141の値と一致しない場合にはアクセス例外発生信号161を出力する。これにより、クラスタ構成におけるノード間の独立性を高め、エラー伝搬を防止することができる。

【0027】次に本発明の実施の形態の動作について図面を参照して説明する。

【0028】図1から図3を参照すると、プロセッサ200からメモリアccessがあると、モジュールアドレス111によってアドレス解決テーブル120を索引する(ステップS301)。その結果、有効フラグ121が“無効”を示していれば(ステップS302)、当該アクセスは存在しないアドレスにされたものであるとしてアドレス不在例外を発生する。また、他のセルに存在するメモリアドレスであることが判明すると(ステップS303)、ネットワーク500を介して当該他のセルでアクセスが行われる。また、自セルに存在するメモリアドレスであれば、自セル内の該当するメモリモジュールにアクセスする(ステップS303)。

【0029】また、他のセルからアクセスがあった場合、そのアクセスがライトでなければ(ステップS311)自セルの場合と同様に該当するメモリモジュールにアクセスする(ステップS304)。これに対し、他のセルからのアクセスがライトの場合にはライト保護フラグ130をチェックし(ステップS312)、他のセルからのライトを許可する旨を指示していれば該当するメモリモジュールにアクセスし(ステップS303)他の

セルからのライトを許可しない旨を指示していればアクセス例外を検出する。

【0030】次に、本発明の実施の形態によるメモリ構成例について説明する。

【0031】各ノード#0から#3のアドレス解決テーブル120の設定を図4のようにした場合、図5のメモリ構成が実現される。図5において、実線部分は各ノードに物理的に搭載されたメモリである。ここでは全ノードが同量のメモリを備えると仮定しているが実際は同じでなくて良い。また、縦軸はそれぞれのノードから見たメモリアドレスを示し、全ノードとも0番地から始まる空間を持つと仮定している。なお、図4のテーブルでは第0番地が上に描かれているのに対して、図5では通例に従い第0番地を一番下に置いている。

【0032】このメモリ構成例では、各ノードのモジュールアドレスx0からx2は、それぞれのノードのローカルメモリにマップされ、互いに独立である(セル固有メモリ)。一方、モジュールアドレスx3からx6は、各セルのメモリモジュールをアドレスが異なるように組み合わせられ、共通のアドレスによる相互アクセスが可能となっている(共有通信エリア)。なお、この構成例では、各ノードの論理アドレス空間の半分以上が共有空間となっているが、これは各セルのメモリを4モジュール構成と便宜上したためであり、実用的な構成では、共有エリアの固有エリアに対する比率は、本実施例よりも小さくすることができる。

【0033】各ノード#0から#3のアドレス解決テーブル120の設定を図6のようにした場合、図7のメモリ構成が実現される。この図7の例では、セル\$0とセル\$1が対象型マルチプロセッサ構成の独立したコンピュータを構成し、2つで1つのノードとして、セル\$2(ノード#2)、セル\$3(ノード#3)とともに3ノードのクラスタシステムを構成する。ノード#0においては、セル#0の物理メモリ全部とセル\$1のメモリモジュールx0からx2の合計7モジュールが、ローカルメモリとしてセル\$0及びセル\$1から共通にアクセスできるように構成されている。セル\$1のモジュールx3は、クラスタ共有メモリ(通信エリア)としてノード間で共有されている。セル\$2及びセル\$3のメモリマップは、図5のものと本質的に同じであり、共有メモリに設定している各メモリモジュールx3のアドレスのみが異なっている。

【0034】この図6の設定の場合、ライト保護フラグ130は、他のクラスタからのライトアクセスを許可するか否かを指示することを意味する。すなわち、セルに跨るライトアクセスであってもノード内ならばライトアクセスを許可することになる。従って、この設定を採用する場合には、特定のセル(同じノードを構成するセル)からのライトアクセスを許可する必要がある。

【0035】各ノード#0から#3のアドレス解決テー

ブル120の設定を図8のようにした場合、図9のメモリ構成が実現される。この構成例では、ある一つのノードにあるメモリのみをノード間で共有する。但し、この構成の場合は、ライト保護フラグ130は、他のセルからのライトを許容する状態に設定しておく必要がある。これにより、ノード#0に物理的に存在するメモリに全ノードから書き込めるようになり、これを通信手段として使用できる。一方、この場合、ノード#0に障害があるとノード間通信が一切不能となってシステム全体のダウンにつながるおそれもある。従って、メモリのサイズと通信量とを考慮して選択する必要がある。

【0036】各ノード#0から#3のアドレス解決テーブル120の設定を図10のようにした場合、図11のメモリ構成が実現される。これは、対象型マルチプロセッサを模擬したものである。各ノードのメモリはノード#0からアドレスの順に積み上げられ、全体として16モジュール分の容量をもつ1つのメモリ空間に再構成される。そして、全ノードから全てのメモリが同じようにアクセスされる。

【0037】なお、上述の説明では、アドレス解決手段の例としてアドレス変換テーブルを示したが、実際にアクセス源で最小限必要とするのは、セル間アクセスをフォワードするために必要なルーティング情報だけであり、相手セル内のメモリロケーションを特定するのに必要な情報などは相手セル内など他の場所に持つことも可能である。

【0038】このように、本発明の実施の形態によれば、アドレス解決テーブル120によって当該アドレスがいずれのセルに存在するかを判断し、且つ、ライト保護フラグ130により他セルからのライトを抑止するか否かを指定することによって、マルチプロセッサシステムにおける種々のメモリ構成を実現するとともに、あるセルの故障による影響を他のセルに波及させないようにすることができる。

【0039】

【発明の効果】以上の説明で明らかなように、本発明によると、アクセスしようとするアドレスがいずれのセルに存在するかを判断し、且つ、他セルからのライトを抑止するモードを設けることによって、種々のメモリ構成により柔軟にマルチプロセッサシステムを運用すること

ができるとともに、セル間の独立性を高めて、あるセルの故障による影響を他のセルに波及させないようにすることができる。

【図面の簡単な説明】

【図1】本発明のマルチプロセッサシステムの実施の形態の構成を示すブロック図である。

【図2】本発明の実施の形態におけるセル制御回路の構成を示す図である。

【図3】本発明の実施の形態における動作を説明するための流れ図である。

【図4】本発明によるメモリ構成の第1の例を実現するためのアドレス解決テーブルの設定例である。

【図5】本発明によるメモリ構成の第1の例のメモリマップを示す図である。

【図6】本発明によるメモリ構成の第2の例を実現するためのアドレス解決テーブルの設定例である。

【図7】本発明によるメモリ構成の第2の例のメモリマップを示す図である。

【図8】本発明によるメモリ構成の第3の例を実現するためのアドレス解決テーブルの設定例である。

【図9】本発明によるメモリ構成の第3の例のメモリマップを示す図である。

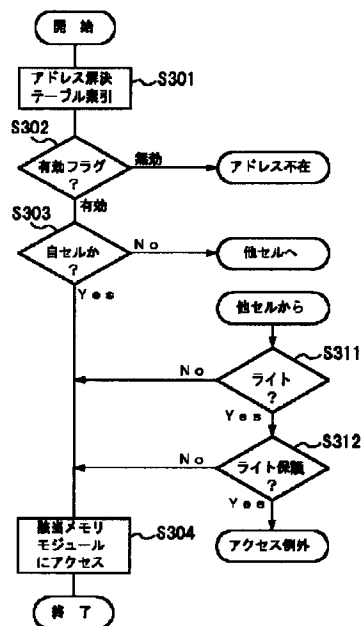
【図10】本発明によるメモリ構成の第4の例を実現するためのアドレス解決テーブルの設定例である。

【図11】本発明によるメモリ構成の第4の例のメモリマップを示す図である。

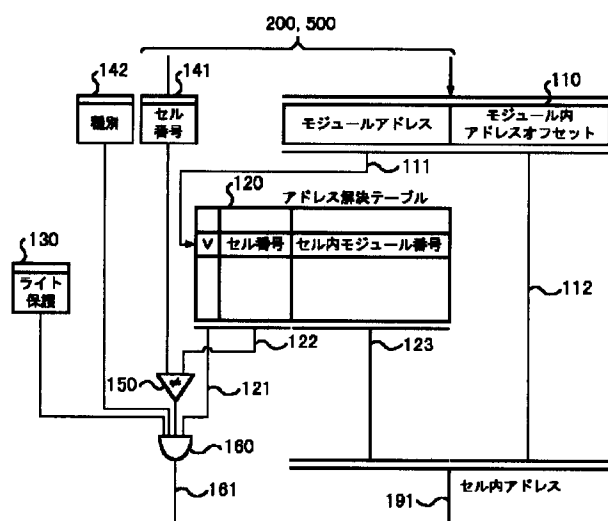
【符号の説明】

100 セル制御回路
110 アドレスレジスタ
120 アドレス解決テーブル
130 ライト保護フラグ
141 セル番号レジスタ
142 アクセス種別レジスタ
150 比較器
160 論理積回路
200 プロセッサ
300 メモリ
400 セル
500 ネットワーク

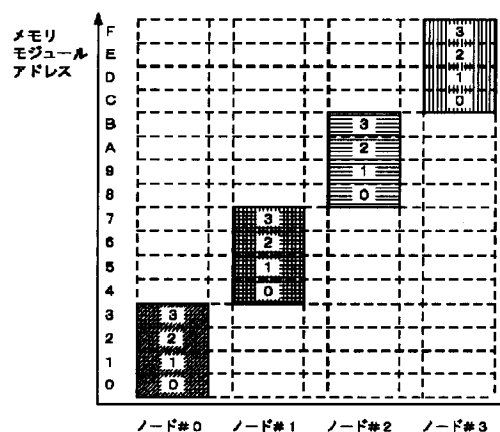
【図 3】



【図2】



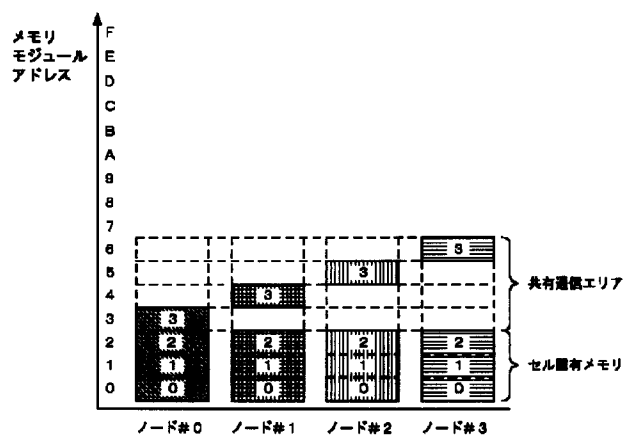
【图 1-1】



【圖 4】

ノード#0	ノード#1	ノード#2	ノード#3
0 1 0 0	0 1 1 0	0 1 2 0	0 1 3 0
1 1 0 1	1 1 1 1	1 1 2 1	1 1 3 1
2 1 0 2	2 1 1 2	2 1 2 2	2 1 3 2
3 1 0 3	3 1 0 3	3 1 0 3	3 1 0 3
4 1 1 3	4 1 1 3	4 1 1 3	4 1 1 3
5 1 2 3	5 1 2 3	5 1 2 3	5 1 2 3
6 1 3 3	6 1 3 3	6 1 3 3	6 1 3 3
7 0 - -	7 0 - -	7 0 - -	7 0 - -
8 0 - -	8 0 - -	8 0 - -	8 0 - -
9 0 - -	9 0 - -	9 0 - -	9 0 - -
A 0 - -	A 0 - -	A 0 - -	A 0 - -
B 0 - -	B 0 - -	B 0 - -	B 0 - -
C 0 - -	C 0 - -	C 0 - -	C 0 - -
D 0 - -	D 0 - -	D 0 - -	D 0 - -
E 0 - -	E 0 - -	E 0 - -	E 0 - -
F 0 - -	F 0 - -	F 0 - -	F 0 - -

【図5】



【図6】

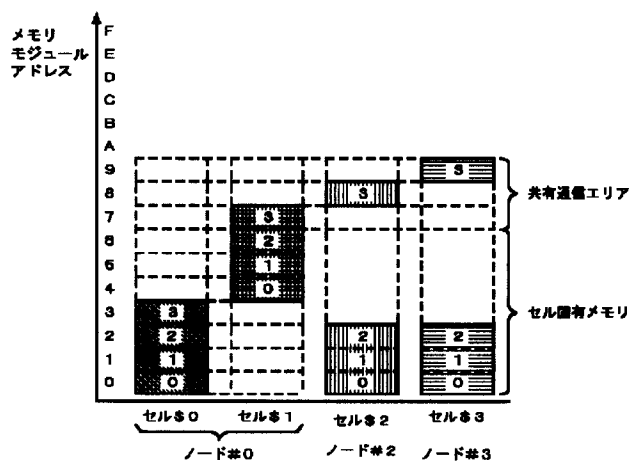
0	1	0	0
1	1	0	1
2	1	0	2
3	1	0	3
4	1	1	0
5	1	1	1
6	1	1	2
7	1	1	3
8	1	2	3
9	1	3	3
A	0	-	-
B	0	-	-
C	0	-	-
D	0	-	-
E	0	-	-
F	0	-	-

0	1	0	0
1	1	0	1
2	1	0	2
3	1	0	3
4	1	1	0
5	1	1	1
6	1	1	2
7	1	1	3
8	1	2	3
9	1	3	3
A	0	-	-
B	0	-	-
C	0	-	-
D	0	-	-
E	0	-	-
F	0	-	-

0	1	2	0
1	1	2	1
2	1	2	2
3	0	-	-
4	0	-	-
5	0	-	-
6	0	-	-
7	1	1	3
8	1	2	3
9	1	3	3
A	0	-	-
B	0	-	-
C	0	-	-
D	0	-	-
E	0	-	-
F	0	-	-

0	1	3	0
1	1	3	1
2	1	3	2
3	0	-	-
4	0	-	-
5	0	-	-
6	0	-	-
7	1	1	3
8	1	2	3
9	1	3	3
A	0	-	-
B	0	-	-
C	0	-	-
D	0	-	-
E	0	-	-
F	0	-	-

【図7】



【図8】

0	1	0	0
1	1	0	1
2	1	0	2
3	0	-	-
4	1	0	3
5	0	-	-
6	0	-	-
7	0	-	-
8	0	-	-
9	0	-	-
A	0	-	-
B	0	-	-
C	0	-	-
D	0	-	-
E	0	-	-
F	0	-	-

ノード#0

0	1	1	0
1	1	1	1
2	1	1	2
3	1	1	3
4	1	0	3
5	0	-	-
6	0	-	-
7	0	-	-
8	0	-	-
9	0	-	-
A	0	-	-
B	0	-	-
C	0	-	-
D	0	-	-
E	0	-	-
F	0	-	-

ノード#1

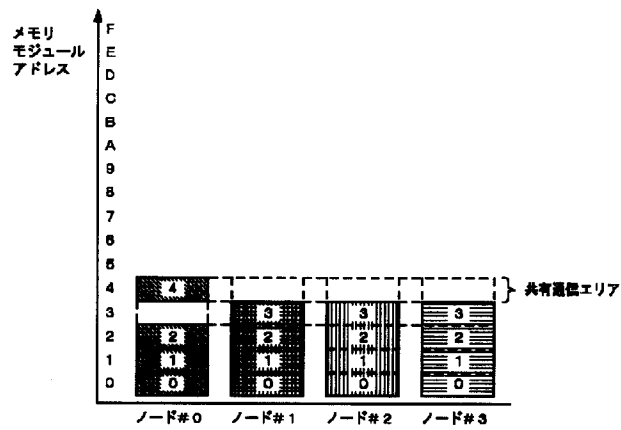
0	1	2	0
1	1	2	1
2	1	2	2
3	1	2	3
4	1	0	3
5	0	-	-
6	0	-	-
7	0	-	-
8	0	-	-
9	0	-	-
A	0	-	-
B	0	-	-
C	0	-	-
D	0	-	-
E	0	-	-
F	0	-	-

ノード#2

0	1	3	0
1	1	3	1
2	1	3	2
3	1	3	3
4	1	0	3
5	0	-	-
6	0	-	-
7	0	-	-
8	0	-	-
9	0	-	-
A	0	-	-
B	0	-	-
C	0	-	-
D	0	-	-
E	0	-	-
F	0	-	-

ノード#3

【図9】



【図10】

0	1	0	0
1	1	0	1
2	1	0	2
3	1	0	3
4	1	1	0
5	1	1	1
6	1	1	2
7	1	1	3
8	1	2	0
9	1	2	1
A	1	2	2
B	1	2	3
C	1	3	0
D	1	3	1
E	1	3	2
F	1	3	3

ノード#0

0	1	0	0
1	1	0	1
2	1	0	2
3	1	0	3
4	1	1	0
5	1	1	1
6	1	1	2
7	1	1	3
8	1	2	0
9	1	2	1
A	1	2	2
B	1	2	3
C	1	3	0
D	1	3	1
E	1	3	2
F	1	3	3

ノード#1

0	1	0	0
1	1	0	1
2	1	0	2
3	1	0	3
4	1	1	0
5	1	1	1
6	1	1	2
7	1	1	3
8	1	2	0
9	1	2	1
A	1	2	2
B	1	2	3
C	1	3	0
D	1	3	1
E	1	3	2
F	1	3	3

ノード#2

0	1	0	0
1	1	0	1
2	1	0	2
3	1	0	3
4	1	1	0
5	1	1	1
6	1	1	2
7	1	1	3
8	1	2	0
9	1	2	1
A	1	2	2
B	1	2	3
C	1	3	0
D	1	3	1
E	1	3	2
F	1	3	3

ノード#3